

(19)



JAPANESE PATENT OFFICE

E4051

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08139597 A**(43) Date of publication of application: **31.05.96**

(51) Int. Cl.

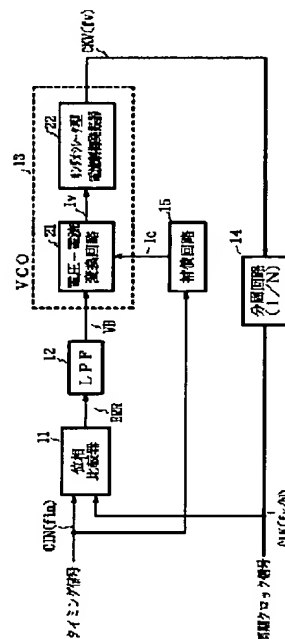
**H03L 7/099****H03K 3/354****H03K 5/13****H03L 7/081****H03L 7/10**(21) Application number: **06301691**(71) Applicant: **HITACHI LTD**(22) Date of filing: **11.11.94**(72) Inventor: **KURITA KOZABURO****(54) CLOCK GENERATION CIRCUIT**

(57) Abstract:

**PURPOSE:** To improve consistency of a circuit and to stably perform operations by using the current controlled delay circuit of the same constitution by a ring oscillator provided in a PLL loop and a compensation circuit for controlling the operating range.

**CONSTITUTION:** Error signals formed in a phase comparator 11 are smoothed by an LPF 12 and converted into a control voltage VB. The voltage VB is converted into current signals by a voltage/current conversion circuit 21 for constituting a VCO 13 and controls the oscillation frequency of a ring oscillator current controlled oscillator 22. The output signals of the ring oscillator 22 are frequency divided by a frequency divider circuit 14 and supplied to an internal circuit as synchronization clocks CLK. The compensation circuit 15 is provided to easily perform debugging at the time of development by the clocks of an extremely low frequency compared to the time of a normal operation. By turning the ring oscillator 22 to the constitution similar to the current controlled delay circuit in the compensation circuit 15, the influence of process dispersion is reduced and it is used for the circuit of a simple structure such as a CMOS circuit or the like.

COPYRIGHT: (C)1996,JPO



E4051

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139597

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/099				
H 0 3 K 3/354	B			
5/13				
			H 0 3 L 7/ 08	F
				J

審査請求 未請求 請求項の数 7 F D (全 16 頁) 最終頁に続く

(21) 出願番号 特願平6-301691

(22) 出願日 平成6年(1994)11月11日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 栗田 公三郎

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

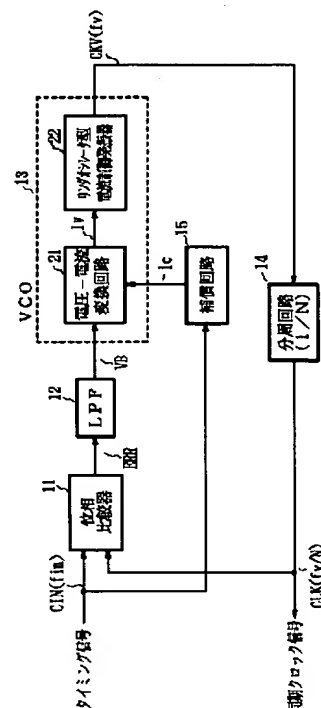
(54) 【発明の名称】 クロック発生回路

(57) 【要約】 (修正有)

【目的】 簡単な構成で、しかも半導体集積回路の外部から供給された周波数信号に対応した広い周波数範囲で安定的に動作可能とする。

【構成】 半導体集積回路の外部端子から供給された第1の周波数信号CINと半導体集積回路の内部で形成された第2の周波数信号CLKとを位相比較器11に入力し、かかる位相比較器11の出力信号をローパスフィルタ12により平滑して電圧信号に変換し、補償回路15により第1の周波数信号CINを受ける電流制御遅延回路の遅延信号と第1の周波数信号CINとを用いて周波数に対応した電流信号に変換し、ローパスフィルタ12により形成された電圧信号を電流信号に変換するとともに補償回路15の電流信号と合成して上記電流制御遅延回路と同じ構成にされた電流制御遅延回路を用いて構成されたリングオシレータ22の共振周波数を制御する。

図1



1

## 【特許請求の範囲】

【請求項 1】 半導体集積回路の外部端子から供給された第 1 の周波数信号と半導体集積回路の内部で形成された第 2 の周波数信号とを受ける位相比較器と、かかる位相比較器の出力信号を平滑して電圧信号に変換するロウパスフィルタと、上記第 1 の周波数信号を受ける電流制御遅延回路の遅延信号と上記第 1 の周波数信号とを用いて周波数に対応した電流信号を形成する補償回路と、上記ロウパスフィルタにより形成された電圧信号を電流信号に変換するとともに上記補償回路の電流信号と合成した制御電流を形成する電圧電流変換回路と、かかる制御電流により制御され、上記電流制御遅延回路と同じ構成にされた遅延回路を用いて構成されて上記第 2 の周波数信号を形成するリングオシレータとを含み、かかるリングオシレータの発振信号に基づいて上記半導体集積回路の内部で必要とされるクロック信号を形成してなることを特徴とするクロック発生回路。

【請求項 2】 上記電流制御遅延回路及びリングオシレータを構成する単位の遅延回路は、制御電流を流すようにされた第 1 の P チャンネル型 MOSFET 及び第 1 の N チャンネル型 MOSFET と、かかる第 1 の P チャンネル型 MOSFET と第 1 の N チャンネル型 MOSFET により動作電流が流れるようにされた第 2 の P チャンネル型 MOSFET と第 2 の N チャンネル型 MOSFET からなる CMOS インバータ回路であることを特徴とする請求項 1 のクロック発生回路。

【請求項 3】 上記電流制御遅延回路及びリングオシレータを構成する単位の遅延回路は、制御電流を流すようにされた第 1 導電型の第 1 の MOSFET と、かかる第 1 の MOSFET がその共通接続されたソースに設けられてなる第 1 導電型の第 2 と第 3 の差動 MOSFET と、上記第 2 と第 3 の差動 MOSFET のドレインに設けられて、負荷として作用するようにさせられた第 2 導電型の第 1 と第 2 の MOSFET からなる差動ゲート回路であることを特徴とする請求項 1 のクロック発生回路。

【請求項 4】 上記電流制御遅延回路の遅延信号と上記第 1 の周波数信号とは、その位相差に対応した電流信号に変換され、その電流信号に基づいて遅延時間が制御されることによって第 1 の周波数信号に対して遅延信号が所定の位相差を持つように制御されるものであることを特徴とする請求項 1、請求項 2 又は請求項 3 のクロック発生回路。

【請求項 5】 半導体集積回路の外部端子から供給された第 1 の周波数信号を受ける電流制御遅延回路の遅延信号と上記第 1 の周波数信号とを用いて周波数に対応した制御電流を形成する補償回路と、かかる制御電流により制御され、上記電流制御遅延回路と同じ構成にされた遅延回路を用いて構成されて上記第 1 の周波数信号より高い周波数信号にされたクロック信号を形成するリングオ

2

シレータとを含むことを特徴とするクロック発生回路。

【請求項 6】 半導体集積回路の外部端子から供給された周波数信号とかかる周波数信号を遅延させた第 1 の遅延信号とを受ける位相比較器と、上記位相比較器の出力信号を平滑して制御電圧を形成するロウパスフィルタと、上記周波数信号を受ける第 1 の電流制御遅延回路の第 2 の遅延信号と上記周波数信号とを用いて周波数信号に対応された電流信号を形成する補償回路と、上記ロウパスフィルタにより形成された制御電圧が変換されてなる電流信号と上記補償回路の電流信号を合成した制御電流を形成する電圧電流変換回路と、上記制御電流により制御され、上記第 1 の電流制御遅延回路と同じ構成にされて上記外部端子から供給される周波数信号を受ける第 2 の電流制御遅延回路とを含み、上記第 2 の電流制御回路の出力信号に基づいて上記半導体集積回路の内部で必要とされるクロック信号及び上記位相比較器に入力される第 1 の遅延信号とを形成してなることを特徴とするクロック発生回路。

【請求項 7】 半導体集積回路は、P チャンネル型 MOSFET と N チャンネル型 MOSFET とからなる CMOS 回路より構成されるものであることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 又は請求項 6 のクロック発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、クロック発生回路に関し、主に CMOS 集積回路装置に内蔵され、外部から供給されたクロック信号に同期したクロック信号を形成するものに利用して有効な技術に関するものである。

## 【0002】

【従来の技術】 本願発明者等においては、外部端子から供給されたタイミング信号の周波数に対応して PLL 回路を構成する VCO（電圧制御型発振器）の発振周波数範囲を変化させるようにした補償手段を設けることにより、広い周波数範囲で安定的に動作可能にされたクロック発生装置の特開平 2-230821 号公報において提案した。

## 【0003】

【発明が解決しようとする課題】 上記のクロック発生装置においては、VCO としてエミッタ結合型のマルチバイブレータを用い、バイポーラ型トランジスタと MOSFET（絶縁ゲート型電界効果トランジスタ）との組み合わせにより構成しており、補償手段としてはタイミング信号によりセット・リセットされる積分回路を利用した周波数・電流変換手段を用いている。このため、バイポーラ型トランジスタと MOSFET とを同一半導体基板上に形成することが必要となり、製造プロセスが複雑になってしまう。また、補償手段と VCO がそれぞれが素子特性のプロセスバラツキの影響を個々に受けてしまうために、現実的には動作範囲が限定されてしまうとい

3

う問題のあることが判明した。

【0004】この発明の目的は、簡単な構成で、しかも半導体集積回路の外部から供給された周波数信号に対応した広い周波数範囲で安定的に動作可能にされたクロック発生回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、半導体集積回路の外部端子から供給された第1の周波数信号と半導体集積回路の内部で形成された第2の周波数信号とを位相比較器に投入し、かかる位相比較器の出力信号をロウパスフィルタにより平滑して電圧信号に変換し、補償回路により上記第1の周波数信号を受ける電流制御遅延回路の遅延信号と上記第1の周波数信号とを用いて周波数に対応した電流信号に変換し、上記ロウパスフィルタにより形成された電圧信号を電流信号に変換するとともに上記補償回路の電流信号と合成して上記電流制御遅延回路と同じ構成にされた電流制御遅延回路を用いて構成されたリングオシレータの発振周波数を制御し、かかるリングオシレータの発振信号に基づいて上記第2の周波数信号と半導体集積回路の内部で必要とされるクロック信号を形成する。

【0006】

【作用】上記した手段によれば、PLLループに設けられるリングオシレータと、その動作範囲を制御する補償回路とが同じ構成の電流制御遅延回路を用いているために回路の整合性が良くなり、プロセスバラツキの影響が大幅に軽減されてCMOS回路等のような簡単な構造の回路を用いることが可能となる。

【0007】

【実施例】図1には、この発明に係るクロック発生回路の一実施例のブロック図が示されている。同図の各回路ブロックは、図示しない他の内部回路とともに公知のCMOS集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0008】タイミング信号CIN (fin) は、半導体集積回路の外部端子から供給される周波数信号であり、位相比較器11の一方の入力に供給される。この位相比較器11の他方の入力には、この発明に係るクロック発生回路により形成された同期クロック信号CLK (fv/N) が供給される。位相比較器11で形成された誤差信号ERRは、ロウパスフィルタLPFにより平滑されて制御電圧VBに変換される。この制御電圧VBは、VCO13を構成する電圧-電流変換回路21により電流信号に変換され、リングオシレータ型電流制御発振器22の発振周波数を制御する。このリングオシレータ22の出力信号CVK (fv) は、分周回路14により1/Nに分周されて、上記同期クロックCLK (fv/N)

4

として図示しない内部回路に供給されるとともに、上記位相比較器11に投入される内部の周波数信号とされる。上記のような構成によりPLL回路が構成される。

【0009】この実施例では、CMOS回路により構成された半導体集積回路に搭載されるクロック発生回路として用いられるものである。上記VCO13にはCMOS回路で容易に実現できるにはリングオシレータ型電流制御発振器を用いるものである。しかしながら、このリングオシレータ22は、素子特性のプロセスバラツキが設計値に対して約±30%ものように非常に大きいことからそのフリーラン周波数が設計目標値に対して大きく変動してしまうことと、後述するような通常動作時に比べて極めて遅い周波数のクロックによって開発時のデバッグを容易に行うようにするために、次のような補償回路15が設けられる。

【0010】この補償回路15の基本的な動作そのものは、本願発明者等が先に特開平2-230821号公報によって提案した補償手段と同様に、タイミング信号CINの周波数を検知して、VCO13の動作範囲を変更させるようにするものである。この場合、上記のようにリングオシレータ22のプロセスバラツキそのものをも補償する必要があり、補償回路15に用いられる周波数-電流変換回路に格別の工夫を行うことが必要とされる。

【0011】本願発明においては、半導体集積回路に形成される素子特性のプロセスバラツキは大きくとも、素子相互においては同様なプロセスバラツキを受ける結果、相対的なバラツキが小さいことを利用し、リングオシレータ22と補償回路15とを同じ構成の遅延回路を利用するものである。

【0012】図2には、図1のVCO13を構成するリングオシレータ22の一実施例の回路図が示されている。この実施例のVCOは、CMOS回路のような簡単な構成とするために、言い換えるならば、CMOS回路で構成された半導体集積回路にそのまま搭載できるようにするために、CMOS構成のリングオシレータが用いられる。このリングオシレータは、後述するような補償回路15における電流制御遅延回路と同様な構成にされる。

【0013】発振周波数の制御を行う制御電流Ivは、Nチャンネル型MOSFETQ7とQ8からなる電流ミラー回路からなる制御電流回路221に供給され、このMOSFETQ7は遅延ゲート回路222を構成するNチャンネル型MOSFETQ10等と電流ミラー形態にされる。上記MOSFETQ8のドレインには、ダイオード形態のPチャンネル型MOSFETQ9が接続され、かかるMOSFETQ9と遅延ゲート回路222を構成するPチャンネル型MOSFETQ11等とが電流ミラー形態にされる。これにより、上記Nチャンネル型MOSFETQ10等とPチャンネル型MOSFETQ

11等は、制御電流 $I_v$ に従った電流を流す可変電流源として動作させられる。

【0014】遅延ゲート回路222は、代表として例示的に示されている#1の回路のように、上記可変電流源として動作するNチャンネル型MOSFETQ10とPチャンネル型MOSFETQ11との間に、CMOSインバータ回路を構成するNチャンネル型MOSFETQ12とPチャンネル型MOSFETQ13が直列形態に接続される。これにより、CMOSインバータ回路の動作電流が上記可変電流源としてのNチャンネル型MOSFETQ10及びPチャンネル型MOSFETQ11に\*

$$t_{pv} = 1 / (a_0 \cdot I_v)$$

上記の実施例では、#1～#9のような9段のリングオシレータとしているために、発振周波数 $f_v$ は $1 / (1 \times$

$$f_v = (a_0 \cdot I_v) / 18$$

【0016】図3には、上記リングオシレータの電流一周波数特性図が示されている。上記制御電流 $I_v$ と遅延ゲート回路222の遅延時間 $t_{pv}$ との関係は、上記のようにほぼ反比例となる。そして、遅延時間 $t_{pv}$ と発振周波数 $f_v$ との関係もほぼ反比例するため、結局のところ発振周波数 $f_v$ は制御電流 $I_v$ にほぼ比例して制御される。同図において、 $f_{vc}$ は中心周波数であり、電流 $I_{vc}$ はそれに対応した制御電流である。

【0017】図4には、図1の補償回路15の一実施例の具体的回路図が示されている。タイミング信号 $C_{IN}$ は、 $1/2$ 分周回路151により分周されてパルス幅のデューティが50%にされたパルス $a$ に変換されて取り込まれる。このパルス $a$ は、電流制御遅延回路152により遅延される。この電流制御遅延回路152により遅延されたパルス $b$ は上記入力パルス $a$ とともに論理回路153に入力される。この論理回路153は、ナンドゲート回路G1、G2及びインバータ回路N1、N2により構成され、上記遅延回路152による遅延時間に対応したパルス $d$ と、上記タイミング信号 $C_{IN}$ の1周期から上記パルス $d$ の時間を差し引いた時間のパルス $e$ を発生させる。

【0018】つまり、論理回路153は、タイミング信号 $C_{IN}$ の1周期間において上記遅延回路152の遅延時間に対応したパルス $d$ により、チャージポンプ回路154のPチャンネル型MOSFETQ1をオン状態にしてキャパシタ(C1)155を定電流源 $I_p$ によりチャージアップさせ、残りの時間に対応したパルス $e$ によりチャージポンプ回路154のNチャンネル型MOSFETQ2をオン状態にしてキャパシタ(C1)155を定電流源 $I_d$ によりディスチャージさせる。タイミング信号 $C_{IN}$ は、分周回路151により $1/2$ に分周されているので、上記のようなチャージアップとディスチャージとは、タイミング信号 $C_{IN}$ の2周期に1回の割合で行われる。つまり、上記のようなチャージアップとディスチャージが終了すると、次の1周期はキャパシタ

\*より決定される。上記MOSFETQ12とQ13のゲートは、共通接続されて最終段(#9)の遅延ゲート回路222の出力信号が帰還される。上記MOSFETQ12とQ13のドレインが共通に接続されて、次段回路#2の同様なCMOSインバータ回路の入力端子に接続され、全体で9個の遅延ゲート回路がリング状に縦列接続されて発振動作を行う。

【0015】上記制御電流 $I_v$ と遅延ゲート回路222の遅延時間 $t_{pv}$ との関係は、ほぼ反比例となり、次式(1)で表すことができる。ここで、 $a_0$ は定数である。

$$\dots\dots\dots (1)$$

※ $8 \cdot t_{pv}$ )となり、上記式(1)により次の式(2)成立して、発振周波数 $f_v$ は制御電流 $I_v$ に比例する。

$$\dots\dots\dots (2)$$

155は前の電荷の状態を保持することとなる。

【0019】上記のようなキャパシタ155の電圧信号 $f$ は、抵抗R1とキャパシタC2からなるロウパスフィルタ156により平滑される。このロウパスフィルタ156の出力電圧 $g$ は、電圧-電流変換回路157に入力されて電流信号 $I_M$ に変換される。つまり、上記電圧信号 $g$ は、Nチャンネル型MOSFETQ3のゲートとソース間に供給され、そこでドレインから電流信号 $I_M$ に変換される。この電流信号 $I_M$ は、Pチャンネル型MOSFETQ4とQ5及びQ6からなる電流ミラー回路により、一方はMOSFETQ5を通して上記遅延回路152の制御電流 $I_x$ として、他方はMOSFETQ6を通して前記VCO13の補償電流 $I_c$ として出力される。

【0020】上記制御電流 $I_x$ は、前記図2のリングオシレータと同様なNチャンネル型MOSFETQ7'とQ8'からなる電流ミラー回路からなる制御電流回路221に供給される。このMOSFETQ7'は遅延ゲート回路222を構成するNチャンネル型MOSFETQ10'等と電流ミラー形態にされる。上記MOSFETQ8'のドレインにはダイオード形態のPチャンネル型MOSFETQ9'が設けられる。このMOSFETQ9'と遅延ゲート回路222を構成するPチャンネル型MOSFETQ11'等とは電流ミラー形態にされる。これにより、上記Nチャンネル型MOSFETQ10'等とPチャンネル型MOSFETQ11'等は、制御電流 $I_x$ に従った電流を流す可変電流源として動作させられる。

【0021】遅延ゲート回路222は、代表として例示的に示されている#1の回路のように、上記可変電流源として動作するNチャンネル型MOSFETQ10'とPチャンネル型MOSFETQ11'との間に、CMOSインバータ回路を構成するNチャンネル型MOSFETQ12'とPチャンネル型MOSFETQ13'とが直列形態に接続されて、CMOSインバータ回路の動作

電流が上記可変電流源としてのNチャンネル型MOSFETQ10'及びPチャンネル型MOSFETQ11'により決定される。上記MOSFETQ12'とQ13'のゲートは、共通接続されて上記分周回路151により分周された入力パルスaが供給される。上記MOSFETQ12'とQ13'のドレインが共通に接続されて、次段回路#2の同様なCMOSインバータ回路の入力端子に接続される。

【0022】上記遅延ゲート回路(#1)は、上記のようなPチャンネル型MOSFETとNチャンネル型MOSFETのゲート容量及び配線容量からなる容量性負荷を駆動するものであり、上記動作電流により容量性負荷のチャージアップ/ディスチャージを行わせるので等価的に遅延回路として動作することとなり、上記動作電流が制御電流 $I_x$ に対応して変化させられるので、電流制御遅延回路として動作するととなる。この実施例では、特に制限されないが、遅延ゲート回路222は、#1から#7までの全部で7個の遅延ゲート回路が縦列接続されて、上記遅延パルスbを形成するものである。

【0023】上記タイミング信号CINの周期( $1/f_{in}$ )と遅延回路による遅延時間 $t_1$ との比率が一定となるように上記遅延ゲート回路222の遅延時間 $t_{px}$ を制御電流 $I_x$ により制御する。タイミング信号CINの周期、すなわち周波数 $f_{in}$ に応じた補償電流 $I_c$ を形成する。このときの周波数 $f_{in}$ と補償電流 $I_c$ との関係は、周波数 $f_{in}$ が高くされたときには周期( $1/f_{in}$ )が短くなり、遅延ゲート回路222の遅延時間 $t_{px}$ も小さくなるように制御電流 $I_x$ と $I_c$ を共に大きくする。逆に、周波数 $f_{in}$ が低くされたときには周期( $1/f_{in}$ )が長くなり、遅延ゲート回路222の遅延時間 $t_{px}$ も大きくなるように制御電流 $I_x$ と $I_c$ を共に小さくする。このように補償回路15は、入力信号CINの周波数を電流信号に変換する動作を行う。

【0024】上記補償電流 $I_c$ は、次に説明するように電圧-電流変換回路21を介して実質的にVCOとして作用するリングオシレータ22の中心周波数 $f_{vc}$ を決めることになる。このとき、補償回路15において実質的に周波数-電流変換動作を行う遅延ゲート回路と、リングオシレータの発振周波数の決める遅延ゲート回路とが同じ構成にされていることから、制御電流 $I_x$ と $I_v$ とが素子のプロセスバラツキの影響を受けることなく常にはほぼ一致した関係となる。したがって、VCOに供給される補償電流 $I_c$ と発振中心周波数 $f_{vc}$ との相関と、補償回路15における補償電流 $I_c$ とタイミング信号CINの周波数 $f_{in}$ との相関とは、変換定数が異なる場合もあるが同じ相関関係となり、タイミング信号 $f_{in}$ と発振中心周波数 $f_{vc}$ とを比例関係に保つことができる。このように、補償回路15は、VCO13の動作領域の中心周波数 $f_{vc}$ を外端子から入力されるタイミング信号CINの周波数 $f_{in}$ に比例した値になる

ように制御する。

【0025】PLL回路によるクロック発生回路では、入力されるタイミング信号CINの周波数 $f_{in}$ とVCO13の発振出力CVKの周波数 $f_v$ との関係は、PLLが引き込み後(ロック状態)では必ず比例関係(ループの分周数をNとすると $f_{in} = f_v / N$ )となる。上記周波数 $f_{in}$ と発振出力 $f_v$ の比例定数と上記した補償回路15による周波数 $f_{in}$ とVCO13の発振中心周波数 $f_{vc}$ の比例定数とを同じに設定すると、発振出力 $f_v$ と $f_{vc}$ は一致する。すなわち、半導体集積回路の外端子から入力されるタイミング信号CINの周波数 $f_{in}$ が変化したとしても、又はプロセスバラツキがあったとしてもVCO13にあっては、発振する動作領域の中心周波数 $f_{vc}$ の点で常に動作する。

【0026】図5には、図1のVCO13に含まれる電圧-電流変換回路21の一実施例の回路図が示されている。PLLループのロウパスフィルタ12で形成された制御電圧VBと基準電圧VRとは、Nチャンネル型の差動MOSFETQ19とQ18のゲートにそれぞれ供給される。上記差動MOSFETQ18とQ19の共通化されたソースには、電流 $I_2$ を形成するNチャンネル型MOSFETQ16が設けられる。このMOSFETQ16は、上記補償回路15で形成された補償電流 $I_c$ が入力されたダイオード形態のNチャンネル型MOSFETQ15と電流ミラー形態にされる。それ故、電流ミラー形態にされたMOSFETQ15とQ16のサイズ比に従って補償電流 $I_c$ と $I_2$ が形成される。つまり、 $I_2 = a_2 \cdot I_c$ のようにされる。

【0027】上記差動MOSFETQ18とQ19のドレインには、電流ミラー形態にされりPチャンネル型MOSFETQ20、Q21が設けられる。一方の差動MOSFETQ18のドレイン電流が上記電流ミラー形態にされたMOSFETQ20とQ21を介して同じ電流が他方の差動MOSFETQ19のドレイン側に流れるようにされる。したがって、制御電圧VBと基準電圧VRとが等しいときには、差動MOSFETQ18とQ19のドレインには、 $I_2/2$ の等しい電流が流れて出力ノードの電流は零になる。制御電圧VBが高くされてMOSFETQ19がオン状態で、MOSFETQ18がオフ状態ならMOSFETQ19には電流 $I_2$ が流れ、その出力ノードには $-I_2$ のような吸い込み電流を形成する。制御電圧VBが低くされてMOSFETQ18がオン状態で、MOSFETQ19がオフ状態ならMOSFETQ18には電流 $I_2$ が流れ、上記電流ミラー回路を通して出力ノードには $+I_2$ のような押し出し電流を形成する。

【0028】上記補償電流 $I_c$ を受けるMOSFETQ15には、電流ミラー形態にされたNチャンネル型MOSFETQ17が設けられる。このMOSFETQ17のドレインには、ダイオード形態にされたPチャンネル

型MOSFETQ22が設けられる。このMOSFETQ22には、上記MOSFETQ17により形成された電流I1と、上記差動回路の出力電流との合成電流が流れるようにされる。これにより、上記Pチャンネル型MOSFETQ22と電流ミラー形態にされたPチャンネル型MOSFETQ23から上記電流I1±I2に対応された出力電流Ivが形成される。電流ミラー形態にされたMOSFETQ15とQ17のサイズ比に従って補償電流IcとI1が形成される。つまり、 $I1 = a1 \cdot Ic$ のようにされる。

【0029】図6には、上記電圧-電流変換回路の動作を説明するための特性図が示されている。(A)には、 $VB-Iv$ 特性が示されている。(A)の特性において、基準電圧VRを中心にして制御電圧VBが正又は負方向に変化すると、それに対応して電流I2の分配比が変化し、その差分の電流が電流I1に重畳(合成)されて出力電流Ivが形成されることが示されている。

(B)には、 $Ic-Iv$ 特性が示されている。補償回路により形成された制御信号Icにより、上記電流I1及びI2が共に比例的に変化することが示されている。電流I1は、中心制御電流Ivcを設定するものであり、電流I2はPLLの制御電圧VBに対応した動作範囲の最大値Ivmaxと最小値Ivminを設定する。

【0030】図7には、図2の補償回路の動作を説明するための波形図が示されている。タイミング信号CIN\*

$$tpx = 1 / (a0 \cdot Ix)$$

これにより、遅延時間t1は遅延ゲート回路222が#1〜#7のように7段で構成されているから、次式 ※

$$t1 = 7 tpx$$

【0033】この時間t1において、電流Ipによりプリチャージ動作が行われてキャパシタ155に電荷Qpが注入される。このため、キャパシタ155の電圧fが上昇する。そして、時間t2〔 $(1/f_{in}) - t1$ 〕★

$$Qp = t1 \cdot Ip$$

$$Qd = t2 \cdot Id = [(1/f_{in}) - t1] \cdot Id \quad \dots \dots \dots (6)$$

【0034】ロウパスフィルタ156は、上記の電圧fを平滑化して制御電圧gを形成する。この電圧gは、Nチャンネル型MOSFETQ3のゲートに印加されて、制御電流IMに変換され、電流ミラー回路を通して上記電流IMに比例した制御電流Ixが形成されて、上記遅延ゲート回路222に遅延時間tpxが制御される。

【0035】この電流Ixが大きい場合には、式(3)より遅延時間tpxが小さくなり、式(4)によりプリチャージ時間t1も短くなる。すると、式(5)により、電荷Qpが小さく、式(6)により電荷Qdが大きくなるために、キャパシタ155の電圧fが低下し、その平滑化された制御電圧gも低下して上記電流IMを小☆

$$1/f_{in} = 7 \cdot tpx [1 + (Ip/Id)] \quad \dots \dots \dots (7)$$

これは、タイミング信号CINの周期 $1/f_{in}$ と内蔵の遅延ゲート回路222の遅延時間tpxとの比率が一

\*は、分周回路151により $1/2$ に分周させられてパルス幅が入力信号CINの1周期に対応したパルス幅デューティを持つパルスaが形成される。このパルスaは、電流制御遅延回路152に入力されて、遅延パルスbが形成される。これら2つのパルスaとbは、論理回路153により遅延時間t1に対応してロウレベルにされるパルスdと、上記入力信号CINの1周期から上記遅延時間t1を引いた時間t2に対応してハイレベルにされるパルスeが形成される。

10 【0031】上記パルスdのロウレベルにより、チャージポンプ回路154のPチャンネル型MOSFETQ1がオン状態になってキャパシタ155をチャージアップし、上記パルスeのハイレベルによりチャージポンプ回路のNチャンネル型MOSFETQ2をオン状態になって上記キャパシタ155をディスチャージさせる。このため、キャパシタ155には、上記チャージ動作とディスチャージ動作に対応した電圧信号fが形成される。この電圧信号fは、ロウパスフィルタ156により平滑化されて制御電圧gが形成される。

20 【0032】遅延ゲート回路222は、リングオシレータ22で用いている遅延ゲート回路と同じ回路構成としているために、制御電流Ixと遅延ゲート回路の遅延時間tpxとの関係は前記式(1)と同じ定数a0を用いて式(3)のように表すことができる。

$$\dots \dots \dots (3)$$

※(4)のように表すことができる。

$$\dots \dots \dots (4)$$

30 ★において、電流Idによりディスチャージが行われて電荷Qdが放出されることにより、上記電圧fは下降する。上記電荷QpとQdは、次式(5)、(6)により表すことができる。

$$\dots \dots \dots (5)$$

☆さくする。逆に、この電流Ixが小さい場合には、式(3)より遅延時間tpxが大きくなり、式(4)によりプリチャージ時間t1も長くなる。すると、式(5)により、電荷Qpが大きくなり、式(6)により電荷Qdが小さくなるために、キャパシタ155の電圧fが上昇し、その平滑化された制御電圧gも増大して上記電流IMを大きくする。

40 【0036】すなわち、上記回路は、負帰還ループを構成しており、この帰還ループが平衡するのは、プリチャージ電荷Qpとディスチャージ電荷Qdとが一致するときであり、式(5)と(6)において、 $Qp = Qd$ とすると、式(7)が成立する。

定であることを意味し、式(7)が成立するような制御電流Ixが帰還ループで発生することになる。したがっ

て、上記制御電流  $I_x$  は、式 (7) と式 (3) より次式 (8) のようにタイミング信号  $CIN$  の周波数  $f_{in}$  と \*

$$I_x = (7/a_0) \cdot [1 + (I_p/I_d)] \cdot f_{in} \quad \dots (8)$$

【0037】そして、上記制御電流  $I_x$  と比例した補償電流  $I_c$  を形成することにより、電流  $I_c$  と  $I_x$  の関係を、 $I_c = a_3 \cdot I_x$  とすると、次式 (9) が成立し ※

$$I_c = (7 \cdot a_3/a_0) \cdot [1 + (I_p/I_d)] \cdot f_{in} \quad \dots (9)$$

【0038】図8には、上記補償回路とそれを用いたPLLを説明するための特性図が示されている。(A)は、補償回路15の特性図であり、補償電流  $I_c$  とタイミング信号  $CIN$  の周波数  $f_{in}$  とが比例することが示されている。(B)は、PLLの特性図である。上記補★

$$f_{vc} = (7/18) \cdot a_1 \cdot a_3 \cdot [1 + (I_p/I_d)] \cdot f_{in} \quad \dots (10)$$

【0039】PLLループでは、引き込み後での入力されるタイミング信号  $CIN$  の周波数  $f_{in}$  とVCO13の発振周波数  $f_v$  との関係は、ループ内の分周回路14の分周比が  $N$  であるために、 $f_v = N \cdot f_{in}$  となる。☆

$$N = (7/18) \cdot a_1 \cdot a_3 \cdot [1 + (I_p/I_d)] \quad \dots (11)$$

【0040】式 (11) において、 $a_1$ 、 $a_3$  は共に電流ミラー回路のMOSFETのサイズ比に従って決定され、電流  $I_p$  と  $I_d$  も同様な電流ミラー回路のMOSFETのサイズ比によって設定することできる。すなわち、この実施例のVCOにおいては、MOSFETの特性バラツキがあっても、その相対的な比は高精度にできるから、実質的にプロセスバラツキが相殺され、常に入力タイミング信号  $CIN$  の周波数に対応した広い周波数範囲での安定な動作が実現できる。

【0041】図9には、この発明に係るクロック発生回路におけるVCOを構成するリングオシレータの他の一実施例の回路図が示されている。前記のようなCMOSインバータ回路を用いた場合には、その信号振幅が電源電圧の変動の影響を受けるために、発振周波数が電源電圧の変動を受け易いという問題を持っている。そこで、この実施例では、次のような差動ゲート回路が利用される。同図の回路素子に付された回路記号は、前記実施例のものと同様であるが、それぞれは別個の回路機能を持つものであると理解されたい。このことは、次の図10の回路素子においても同様である。

【0042】制御電流  $I_{v'}$  は、ダイオード形態のNチャンネル型のMOSFETQ1に供給される。このMOSFETQ1と代表として例示的に示されている差動ゲート回路302の動作電流を形成するNチャンネル型の電流源MOSFETQ2と電流ミラー形態にされる。このMOSFETQ2のドレインは、Nチャンネル型の差動MOSFETQ3とQ4の共通ソースに接続される。そして、各差動MOSFETQ3とQ4のドレインと電源電圧との間には、ゲートに接地電位が供給されることにより抵抗素子として作用させられるPチャンネル型MOSFETQ5とQ6が負荷抵抗として設けられる。

\*比例する。

※て、補償電流  $I_c$  とタイミング信号  $CIN$  の周波数  $f_{in}$  とが比例することが判る。

★償回路15の補償電流  $I_c$  によりVCO13の発振する動作領域の中心周波数  $f_{vc}$  が決まる。つまり、式 (2) おける制御電流  $I_v$  が電圧-電流変換回路の電流  $I_1 (= a_1 \cdot I_c)$  となるために、次式 (10) のように表すことができる。

☆したがって、この分周比  $N$  を式 (10) の比例定数と次式 (11) のように同じくするなら、 $f_v$  と  $f_{vc}$  とは一致することになる。

【0043】差動ゲート回路302は、#1ないし#5からなる5段回路がリング状に接続されてリングオシレータを構成する。つまり、第1段の差動ゲート回路の相補の出力信号は、次段回路#2の差動MOSFETのゲートにそれぞれ供給され、以下同様にして各段の相補の出力信号が次段回路の差動入力に供給されて、リングオシレータを構成する。この構成では、各差動ゲート回路から出力される相補の出力信号は、次段回路の差動入力として順次に伝えられ、小さな信号振幅により順次に伝送せられる。それ故、電源電圧の変動の影響を大幅に低減できるようにされる。

【0044】この実施例では、第5段目差動ゲート回路#5の相補の出力信号が第1段目差動ゲート回路#1に帰還されるとともに、出力差動回路303に伝えられる。出力差動回路303では、差動MOSFETQ8とQ9のゲートに前記のような相補の出力信号が供給される。そして、これら差動MOSFETQ8とQ9の共通ソースと回路の接地電位との間には電流源としてのNチャンネル型MOSFETQ7が設けられる。上記差動MOSFETQ8とQ9のドレインには、Pチャンネル型MOSFETQ10とQ11からなる電流ミラー回路がアクティブ負荷回路として設けられる。これにより、シングルエンドの増幅出力信号が形成され、出力段に設けられたCMOSインバータ回路を通してCMOSレベルの発振信号  $CVK$  が出力される。

【0045】図10には、上記図9のリングオシレータに対応された補償回路の一実施例の具体的回路図が示され、図11にはその動作波形図が示されている。前記実施例と同様にタイミング信号  $CIN$  は、1/2分周回路により分周されてパルス幅のデューティが50%にされたパルス  $a$  に変換されて取り込まれる。このパルス  $a$



は、前記リングオシレータと同様な電流制御遅延回路を構成する差動ゲート回路 302 により遅延される。つまり、差動ゲート回路 302 が #1 ~ #10 のように 10 段縦列接続されてなる電流制御遅延回路と、差動出力回路 303 を通して出力されたパルス a の遅延信号 h は、その入力パルス a とともに論理回路 313 に入力される。この論理回路 313 は、ナンドゲート回路 G1 とインバータ回路 N1 により構成され、上記遅延回路による遅延時間  $t_3$  に対応してロウレベルとなり、上記タイミング信号 C IN の 2 周期 ( $1/f_{in} + 1/f_{in}$ ) から上記遅延時間 ( $t_3$ ) の時間を差し引いた時間  $t_4$  だけハイレベルとなるパルス i を発生させる。

【0046】つまり、論理回路 313 は、タイミング信号 C IN の 1 周期間 ( $1/f_{in}$ ) において上記遅延回路の遅延時間  $t_3$  に対応して出力パルス i をロウレベルとして、チャージポンプ回路 314 の P チャンネル型 MOSFET Q1 をオン状態にしてキャパシタ C1 を定電流源 I<sub>p</sub> によりチャージアップさせ、上記 2 周期のうちの残りの時間  $t_4$  に対応して出力パルス i をハイレベルとして、チャージポンプ回路 314 の N チャンネル型 MOSFET Q2 をオン状態にしてキャパシタ C1 を定電流源 I<sub>d</sub> によりディスチャージさせる。

【0047】上記のようなキャパシタ C1 電圧信号 j は、N チャンネル型 MOSFET Q3 のゲートとソース間に供給され、そこでドレインから電流信号に変換される。この電流信号は、P チャンネル型 MOSFET Q4 と Q5 及び Q6 からなる電流ミラー回路により、一方は MOSFET Q5 を通して上記遅延回路の制御電流 I<sub>x</sub> として、他方は MOSFET Q6 を通して前記 VCO の補償電流 I<sub>c</sub> として出力される。

【0048】上記制御電流 I<sub>x</sub> は、前記図 9 に示したようなリングオシレータと同様な N チャンネル型 MOSFET Q7 と Q8 からなる電流ミラー回路を通して差動ゲート回路の動作電流の制御が行われる。この実施例では、差動ゲート回路を用いており、第 1 段目の差動ゲート回路 #1 には上記入力パルス a が一方の差動 MOSFET Q9 のゲートに供給され、他方の差動 MOSFET Q10 のゲートには、抵抗 R1 と R2 からなるバイアス回路 311 で形成された中点電圧が供給される。第 2 段目回路 #2 から最終段回路 #10 までは、リングオシレータと同様に相補の出力信号が次段の差動入力信号として順次に伝えられる。そして、最終段回路 #10 の出力信号は、差動出力回路 303 によりシングルエンドの信号に変換され、上記論理回路 313 に伝えられる。論理回路 313 のインバータ回路 N1 は、上記差動出力回路 303 の出力信号を CMOS レベルに変換するレベル変換機能も合わせ持つようにされる。

【0049】上記差動ゲート回路 (#1) は、MOSFET Q8 で形成された動作電流が差動 MOSFET Q9 と Q10 により切り替えられて次段回路のゲート容量及

び配線容量からなる容量性負荷をディスチャージさせるようにして信号遅延を行わせる。上記 MOSFET Q8 で形成される動作電流がそれと電流ミラー形態にされた MOSFET Q7 に流れる制御電流 I<sub>x</sub> に対応して変化させられるので、電流制御遅延回路として動作するととなる。

【0050】上記タイミング信号 C IN の周期 ( $1/f_{in}$ ) と遅延回路による遅延時間  $t_3$  との比率が一定となるように上記差動ゲート回路 302 の遅延時間  $t_{px}$  を制御電流 I<sub>x</sub> により制御する。タイミング信号 C IN の周期、すなわち周波数  $f_{in}$  に応じた補償電流 I<sub>c</sub> を形成する。このときの周波数  $f_{in}$  と補償電流 I<sub>c</sub> との関係は、周波数  $f_{in}$  が高くされたときには周期 ( $1/f_{in}$ ) が短くなり、差動ゲート回路 302 の遅延時間  $t_{px}$  も小さくなるように制御電流 I<sub>x</sub> と I<sub>c</sub> を共に大きくする。逆に、周波数  $f_{in}$  が低くされたときには周期 ( $1/f_{in}$ ) が長くなり、差動ゲート回路 302 の遅延時間  $t_{px}$  も大きくなるように制御電流 I<sub>x</sub> と I<sub>c</sub> を共に小さくする。このように補償回路は、入力信号 C IN の周波数を電流信号に変換する動作を行う。

【0051】上記補償電流 I<sub>c</sub> は、前記図 5 のような電圧-電流変換回路を介して実質的に VCO として作用するリングオシレータの中心周波数  $f_{vc}$  を決めることになる。このとき、補償回路において実質的に周波数-電流変換動作を行う差動ゲート回路と、リングオシレータの発振周波数の決める差動ゲート回路とが同じ構成にされていることから、制御電流 I<sub>x</sub> と I<sub>v</sub> とが素子のプロセスバラツキの影響を受けることなく常にほぼ一致した関係となる。

【0052】この実施例では、チャージポンプ回路 314 には、次のような機能が附加される。上記キャパシタ C1 を充電する定電流 I<sub>p</sub> を制御信号 S1 ~ S4 を選択的にロウレベルにするにより、電流 I を基準にして、その 3 倍の I、7 倍の I 及び 15 倍の I を流すようにして電流切り替えを行うようにしている。つまり、PLL ループでは、引き込み後での入力されるタイミング信号 C IN の周波数  $f_{in}$  と VCO 13 の発振周波数  $f_v$  との関係は、ループ内の分周回路 14 の分周比の N により決定され、この N が変更されたときに、上記制御信号 S1 ~ S4 により上記分周比 N に対応して電流 I<sub>p</sub> と I<sub>d</sub> の比を変更して、前記式 (11) の関係を保つようにすることができる。

【0053】図 12 には、この発明に係るクロック発生回路の他の一実施例の概略回路図が示されている。この実施例では、単に外部端子から入力されたタイミング信号に対して周波数が通倍されたタイミング信号を得る回路に向けられている。つまり、PLL のように位相まで合わせ込むのではなく、単に周波数が一定の比率で高くされたタイミング信号を形成する周波数通倍回路に向けられている。

15

【0054】この実施例では、前記のような補償回路とリングオシレータとが組み合わられて構成される。つまり、前記図1の実施例における補償回路により形成された制御電流によりリングオシレータ型電流制御発振回路を制御することにより、式(10)に示したような関係より、逓倍された内部周波数信号 $f_v$ を簡単に得ることができる。特に制限されないが、この内部周波数信号 $f_v$ は、内部昇圧電源回路を構成するチャージポンプ回路に供給されて、外部端子から供給されるクロックに対して高い周波数により安定した昇圧電圧を得る場合に利用できる。この他、外部端子から供給されたクロックパルスに対して、逓倍されたパルスを必要とするクロック発生回路に広く利用することができる。

【0055】図13には、この発明に係るクロック発生回路の更に他の一実施例のブロック図が示されている。この実施例では、外部端子から供給されたタイミング信号と同じ周波数で位相が同期した同期クロック信号を形成する。つまり、外部端子から供給されたタイミング信号に対して1周期遅れた内部同期信号を形成する。基本的には、図1のPLL回路のうち、PLLループに挿入される分周回路が省略されるとともに、リングオシレータ22に代えて補償回路15と同じく電流制御ゲートディレイ回路23が用いられる。

【0056】この実施例では、タイミング信号CINの周波数が変化したときには、その基本的な遅延時間を補償回路15により設定し、その遅延時間と入力タイミング信号との位相差ERRを位相比較器11で検出し、ローパスフィルタ12により電圧信号VBに変換し、電流制御ゲートディレイ回路23の微調整を行う。これにより、外部端子から供給されたタイミング信号CINを受ける電流制御ゲートディレイ回路23の出力信号CLKは、上記入力タイミング信号CINに対して遅延されて正確に同期した同期クロック信号にすることができる。この構成においても、前記の実施例と同様に補償回路15に用いられる電流制御遅延回路と上記入力信号CINを遅延させる電流制御ゲートディレイ回路23とが同じ回路構成の遅延回路により構成されているから、入力信号CINが広い周波数範囲で設定されたとしても、それに追従して正確に同期した同期クロック信号CLKを得ることができる。

【0057】図14には、上記電流制御ゲートディレイ回路の一実施例の回路図が示されている。基本的には、前記図2のリングオシレータと同じ遅延ゲート回路22が縦列接続して構成される。図2のリングオシレータと異なる点は、最終段の出力信号が初段回路に帰還されないだけである。

【0058】図15には、電流制御ゲートディレイ回路の動作を説明するための特性図が示されている。(A)には、遅延時間 $t_d$ と逆比の制御電流 $1/I_v$ との関係が示されている。すなわち、前記説明したように遅延時

16

間 $t_d$ は、制御電流 $I_v$ と反比例の関係にある。(B)には、上記補償回路による中心遅延時間 $t_{dc}$ と、位相比較器による位相差ERRに対応した最大遅延時間 $t_{max}$ と最小遅延時間 $t_{min}$ とが示されている。これは、図8の特性図(B)と対応されている。

【0059】この実施例においても、遅延時間 $t_{dc}$ とタイミング信号の周期( $1/f_{in}$ )との関係が、前記同様に電流ミラー回路のMOSFETのサイズ比に従って決定される。すなわち、この実施例の遅延回路においては、MOSFETの特性バラツキがあっても、その相対的な比は高精度にできるから、実質的にプロセスバラツキが相殺され、常に入力タイミング信号CINの周波数に対応した広い周波数範囲での安定な動作が実現できる。

【0060】以上説明したように、入力されるタイミング信号CINの周波数 $f_{in}$ の変化やプロセスバラツキに内部回路の動作点が依存しないクロック発生回路が実現できるため、動作周波数範囲を広くできる。そして、上記のような補償回路を設けたことにより、あるいは遅延回路の遅延変化領域を狭く設定できるため、遅延回路での遅延時間 $t_d$ がタイミング信号CINの周期( $1/f_{in}$ )と一致しなくとも2以上の自然数倍のときにも同期してしまう擬似同期を防ぐことができるものとなる。

【0061】図16には、この発明に係るクロック発生回路が搭載された情報処理装置の一実施例のブロック図が示されている。この実施例の情報処理装置は、同図に点線で示すような1つの半導体集積回路装置LSIにより構成されたRISC型プロセッサに向けられている。

【0062】クロック発生回路CPGは、前記のようなPLL回路によるクロック発生回路から構成される。I-Cacheはプログラムを格納する命令キャッシュメモリであり、D-Cacheはデータを格納するデータ用キャッシュメモリである。IUは整数演算ユニットであり、FUは浮動小数点演算ユニットである。

【0063】上記クロック発生回路CPGで形成されたクロックパルスは、クロックドライバによりチップの全面に分配して各内部回路に供給される。つまり、クロックパルス発生回路CPGから各内部回路に供給される伝達経路に設けられるクロックドライバの段数を等しく、かつほぼ同じ配線長なるようにして内部クロックパルスの相互のスキューを減らすようにする。そして、終段のクロックドライバの出力は、相互に接続(短絡)されてクロックドライバを含むクロック分配経路での信号遅延のバラツキを互いに吸収するようにされる。

【0064】クロック発生回路CPGでは、チップ内各部の基準となる内部クロックと外部から入力されるタイミング信号CINとが同期するように内部クロックを発生させる。これにより、他のチップとの同期をとるときにクロックドライバの遅延時間を考慮する必要がなくな

る。そして、前記のようにクロック発生回路CPGにおいては、タイミング信号CINの周波数変化やプロセスバラツキに対してもその動作が安定であり、PLL回路を搭載するための特別なプロセスバラツキ管理やプロセス工程の増加が不要となる。

【0065】この実施例のクロック発生回路CPGでは、入力タイミング信号CINの広い範囲の周波数にตอบสนองして内部クロックを高精度に発生させる。このことに着目し、通常動作においては、実装基板等での信号配線でのクロック周波数に対応した比較的低いクロックを分配し、各半導体集積回路装置ではPLLの分周比に対応した上記信号配線での信号伝達周波数の上限を超えるような高周波数の内部クロックで動作させるようにして高速動作を行わせる。

【0066】また、上記クロック発生回路が搭載された各プロセッサやその周辺回路の開発設計時においては、回路デバッグを簡単にするために通常の動作周波数に比べて大幅に低くされたクロックで動作させる。このとき、上記タイミング信号CINの周波数をそれに対応して低く設定するだけで、従来のようなデバッグ用のクロック入力端子を設けることなく、内部クロックの周波数を大幅に低くしてシーケンシャルな回路動作の確認を簡単に行うようにすることができる。

【0067】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 半導体集積回路の外部端子から供給された第1の周波数信号と半導体集積回路の内部で形成された第2の周波数信号とを位相比較器に入力し、かかる位相比較器の出力信号をロウパスフィルタにより平滑して電圧信号に変換し、補償回路により上記第1の周波数信号を受ける電流制御遅延回路の遅延信号と上記第1の周波数信号とを用いて周波数に対応した電流信号に変換し、上記ロウパスフィルタにより形成された電圧信号を電流信号に変換するとともに上記補償回路の電流信号と合成して上記電流制御遅延回路と同じ構成にされた電流制御遅延回路を用いて構成されたリングオシレータの発振周波数を制御し、かかるリングオシレータの発振信号に基づいて上記第2の周波数信号と半導体集積回路の内部で必要とされるクロック信号を形成する。この構成では、PLLループに設けられるリングオシレータと、その動作範囲を制御する補償回路とが同じ構成の電流制御遅延回路を用いているために回路の整合性が良くなり、プロセスバラツキの影響が大幅に軽減されてCMOS回路等のような簡単な構造の回路を用いることが可能となるという効果が得られる。

【0068】(2) 上記電流制御遅延回路及びリングオシレータを構成する単位の遅延回路は、制御電流を流すようにされた第1のPチャンネル型MOSFET及び第1のNチャンネル型MOSFETと、かかる第1のPチャンネル型MOSFETと第1のNチャンネル型MO

SFETにより動作電流が流れるようにされた第2のPチャンネル型MOSFETと第2のNチャンネル型MOSFETからなるCMOSインバータ回路を用いることにより、製造プロセスが比較的簡単なCMOS集積回路により実現できるという効果が得られる。

【0069】(3) 上記電流制御遅延回路及びリングオシレータを構成する単位の遅延回路は、制御電流を流すようにされた第1導電型の第1のMOSFETと、かかる第1のMOSFETがその共通接続されたソースに設けられてなる第1導電型の第2と第3の差動MOSFETと、上記第2と第3の差動MOSFETのドレインに設けられて、負荷として作用するようにさせられた第2導電型の第1と第2のMOSFETからなる差動ゲート回路を用いることにより、電源電圧依存性を低減できより安定した動作が実現できるという効果が得られる。

【0070】(4) 上記電流制御遅延回路の遅延信号と上記第1の周波数信号とは、その位相差に対応した電流信号に変換され、その電流信号に基づいて遅延時間が制御されることによって第1の周波数信号に対して遅延信号が所定の位相差を持つように制御されるようにすることにより、補償回路とそれにより制御されるPLL回路又はディレイライン型PLLとの回路の整合性を簡単に採ることができるという効果が得られる。

【0071】(5) 半導体集積回路の外部端子から供給された第1の周波数信号を受ける電流制御遅延回路の遅延信号と上記第1の周波数信号とを用いて周波数に対応した制御電流を形成する補償回路と、かかる制御電流により上記電流制御遅延回路と同じ構成にされた遅延回路によりリングオシレータを制御することにより、簡単な構成により入力信号に対して周波数を逡倍させた内部クロックを形成することができるという効果が得られる。

【0072】(6) 半導体集積回路の外部端子から供給された周波数信号とその遅延信号とを位相比較器に入力し、かかる位相比較器の出力信号をロウパスフィルタにより平滑して電圧信号に変換し、補償回路により上記周波数信号を受ける第1の電流制御遅延回路の遅延信号と上記周波数信号とを用いて周波数に対応した電流信号に変換し、上記ロウパスフィルタにより形成された電圧信号を電流信号に変換するとともに上記補償回路の電流信号と合成して上記電流制御遅延回路と同じ構成にされた第2の電流制御遅延回路を制御し、かかる第2の電流制御遅延回路の遅延信号に基づいて半導体集積回路の内部で必要とされるクロック信号と、上記位相比較器に入力される遅延信号を形成する。この構成では、内部で必要とされるクロック信号を形成する第2の電流制御遅延回路と、その動作範囲を制御する補償回路とが同じ構成の回路を用いているために回路の整合性が良くなり、プロセスバラツキの影響が大幅に軽減されてCMOS回路等のような簡単な構造の回路を用いることが可能となる

という効果が得られる。

【0073】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図4の実施例において、ロウパスフィルタ156を省略してもよい。逆に、図10の実施例において、キャパシタC1の次段にロウパスフィルタを設ける構成としてもよい。図10の実施例におけるチャージポンプ回路のチャージ電流 $I_p$ を図4の実施例のように固定化してもよいし、逆に図4の実施例におけるチャージ電流 $I_p$ を図10の実施例のように切り替え可能にしてもよい。補償回路の入力段に設けられる分周回路は、入力タイミング信号のパルス幅デューティが50%なら省略してもよい。また、リングオシレータあるいは電流制御ゲートディレイ回路の段数、及びその補償電流を形成する電流制御遅延回路の段数は、必要に応じて種々の実施形態を採ることができるものである。

【0074】この発明に係るクロック発生回路は、外部端子から供給されるタイミング信号の周波数に対応した内部クロックを形成する回路に広く利用できる。

【0075】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、半導体集積回路の外部端子から供給された第1の周波数信号と半導体集積回路の内部で形成された第2の周波数信号とを位相比較器に入力し、かかる位相比較器の出力信号をロウパスフィルタにより平滑して電圧信号に変換し、補償回路により上記第1の周波数信号を受ける電流制御遅延回路の遅延信号と上記第1の周波数信号とを用いて周波数に対応した電流信号に変換し、上記ロウパスフィルタにより形成された電圧信号を電流信号に変換するとともに上記補償回路の電流信号と合成して上記電流制御遅延回路と同じ構成にされた電流制御遅延回路を用いて構成されたリングオシレータの発振周波数を制御し、かかるリングオシレータの発振信号に基づいて上記第2の周波数信号と半導体集積回路の内部で必要とされるクロック信号を形成する。この構成により、PLLループに設けられるリングオシレータと、その動作範囲を制御する補償回路とが同じ構成の電流制御遅延回路を用いているために回路の整合性が良くなり、プロセスバラツキの影響が大幅に軽減されてCMOS回路等のような簡単な構造の回路を用いることが可能となる。

【0076】上記電流制御遅延回路及びリングオシレータを構成する単位の遅延回路は、制御電流を流すようにされた第1のPチャンネル型MOSFET及び第1のNチャンネル型MOSFETと、かかる第1のPチャンネル型MOSFETと第1のNチャンネル型MOSFETにより動作電流が流れるようにされた第2のPチャネ

ル型MOSFETと第2のNチャンネル型MOSFETからなるCMOSインバータ回路を用いることにより、製造プロセスが比較的簡単なCMOS集積回路により実現できる。

【0077】上記電流制御遅延回路及びリングオシレータを構成する単位の遅延回路は、制御電流を流すようにされた第1導電型の第1のMOSFETと、かかる第1のMOSFETがその共通接続されたソースに設けられてなる第1導電型の第2と第3の差動MOSFETと、上記第2と第3の差動MOSFETのドレインに設けられて、負荷として作用するようにさせられた第2導電型の第1と第2のMOSFETからなる差動ゲート回路を用いることにより、電源電圧依存性を低減できより安定した動作が実現できる。

【0078】上記電流制御遅延回路の遅延信号と上記第1の周波数信号とは、その位相差に対応した電流信号に変換され、その電流信号に基づいて遅延時間が制御されることによって第1の周波数信号に対して遅延信号が所定の位相差を持つように制御されるようにすることにより、補償回路とそれにより制御されるPLL回路又はディレイライン型PLLとの回路の整合性を簡単に採ることができる。

【0079】半導体集積回路の外部端子から供給された第1の周波数信号を受ける電流制御遅延回路の遅延信号と上記第1の周波数信号とを用いて周波数に対応した制御電流を形成する補償回路と、かかる制御電流により上記電流制御遅延回路と同じ構成にされた遅延回路によりリングオシレータを制御することにより、簡単な構成により入力信号に対して周波数を通信させた内部クロックを形成することができる。

【0080】半導体集積回路の外部端子から供給された周波数信号とその遅延信号とを位相比較器に入力し、かかる位相比較器の出力信号をロウパスフィルタにより平滑して電圧信号に変換し、補償回路により上記周波数信号を受ける第1の電流制御遅延回路の遅延信号と上記周波数信号とを用いて周波数に対応した電流信号に変換し、上記ロウパスフィルタにより形成された電圧信号を電流信号に変換するとともに上記補償回路の電流信号と合成して上記電流制御遅延回路と同じ構成にされた第2の電流制御遅延回路を制御し、かかる第2の電流制御遅延回路の遅延信号に基づいて半導体集積回路の内部で必要とされるクロック信号と、上記位相比較器に入力される遅延信号を形成する。この構成により内部で必要とされるクロック信号を形成する第2の電流制御遅延回路と、その動作範囲を制御する補償回路とが同じ構成の回路を用いているために回路の整合性が良くなり、プロセスバラツキの影響が大幅に軽減されてCMOS回路等のような簡単な構造の回路を用いることが可能となる。

【図面の簡単な説明】

【図1】この発明に係るクロック発生回路の一実施例を

示すブロック図である。

【図 2】図 1 の VCO を構成するリングオシレータの一実施例を示す回路図である。

【図 3】図 2 のリングオシレータの電流一周波数特性図である。

【図 4】図 1 の補償回路の一実施例を示す具体的回路図である。

【図 5】図 1 の VCO に含まれる電圧-電流変換回路の一実施例を示す回路図である。

【図 6】図 5 の電圧-電流変換回路の動作を説明するための特性図である。

【図 7】図 2 の補償回路の動作を説明するための波形図である。

【図 8】図 2 の補償回路とそれを用いた PLL を説明するための特性図である。

【図 9】この発明に係るクロック発生回路における VCO を構成するリングオシレータの他の一実施例を示す回路図である。

【図 10】図 9 のリングオシレータに対応された補償回路の一実施例を示す具体的回路図である。

【図 11】図 10 の補償回路の動作を説明するための波形図である。

【図 12】この発明に係るクロック発生回路の他の一実施例を示す概略回路図である。

【図 13】この発明に係るクロック発生回路の更に他の

一実施例を示すブロック図である。

【図 14】図 13 の電流制御ゲートディレイ回路の一実施例を示す回路図である。

【図 15】図 13 の電流制御ゲートディレイ回路の動作を説明するための特性図である。

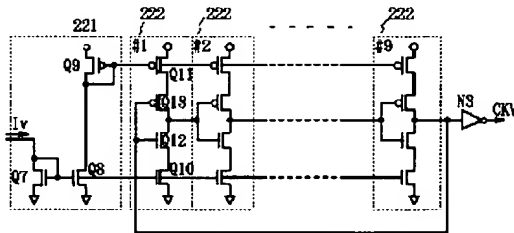
【図 16】この発明に係るクロック発生回路が搭載された情報処理装置の一実施例を示すブロック図である。

【符号の説明】

11…位相比較器、12…ロウパスフィルタ、13…VCO、14…分周回路、15…補償回路、16…電圧制御遅延回路、21…電圧-電流変換回路、22…リングオシレータ型電流制御発振器、23…電流制御ゲートディレイ回路、221…制御回路、222…遅延ゲート回路、151…1/2 分周回路、152…電流制御遅延回路、153…論理回路、154…チャージポンプ回路、155…キャパシタ、156…ロウパスフィルタ、157…電圧-電流変換回路、302…差動ゲート回路、303…差動出力回路、311…バイアス回路、313…論理回路、314…チャージポンプ回路、Q1~Q23…MOSFET、LSI…半導体集積回路装置、CPG…クロック発生回路、I-Cache…命令キャッシュメモリ、D-I-Cache…データキャッシュメモリ、IU…整数演算ユニット、FU…浮動小数点演算ユニット。

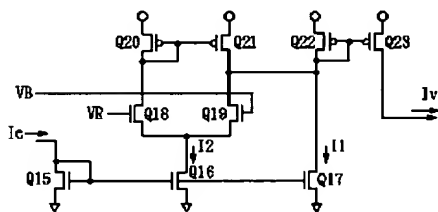
【図 2】

図 2



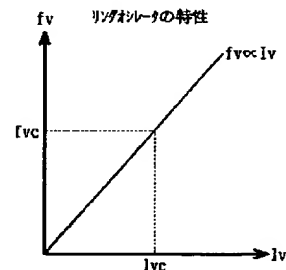
【図 5】

図 5



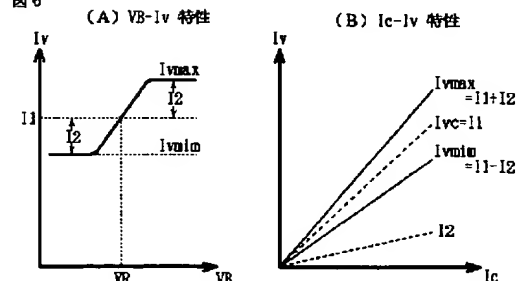
【図 3】

図 3



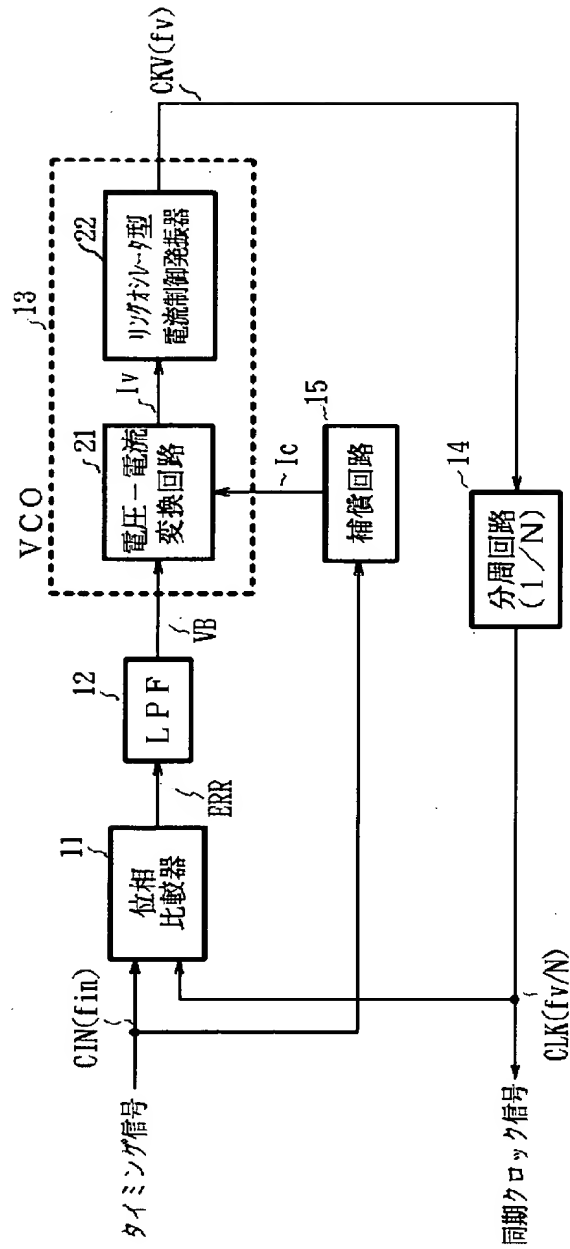
【図 6】

図 6

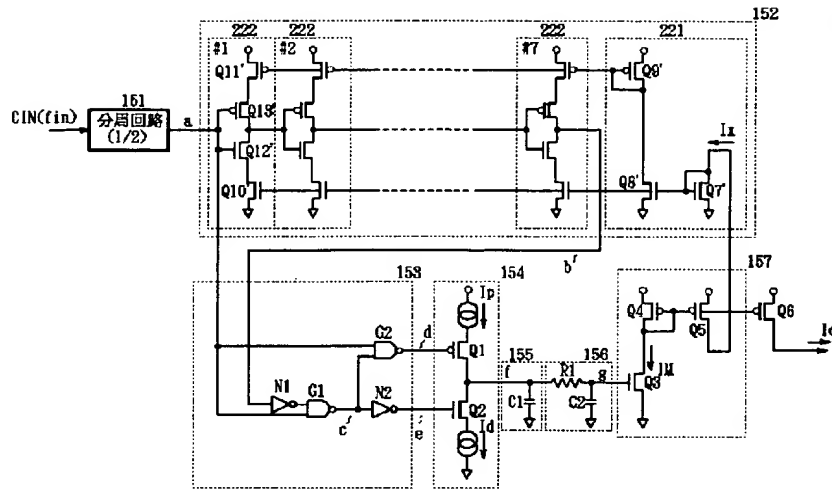


【図 1】

図 1

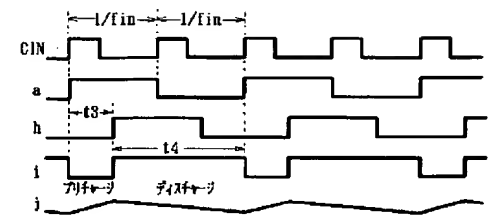


【図 4】



【図 11】

図 11



【図 7】

【図 8】

図 7

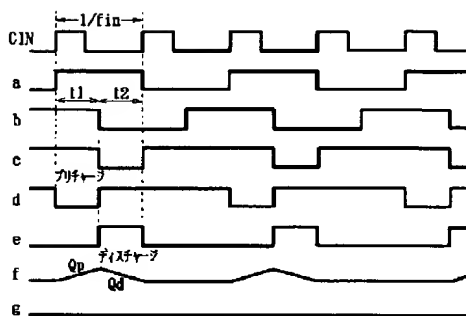
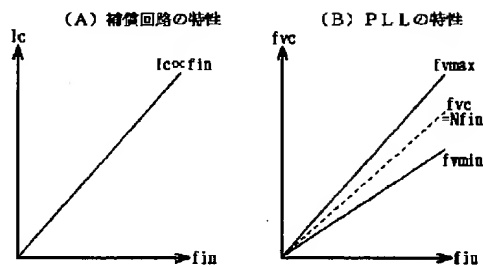


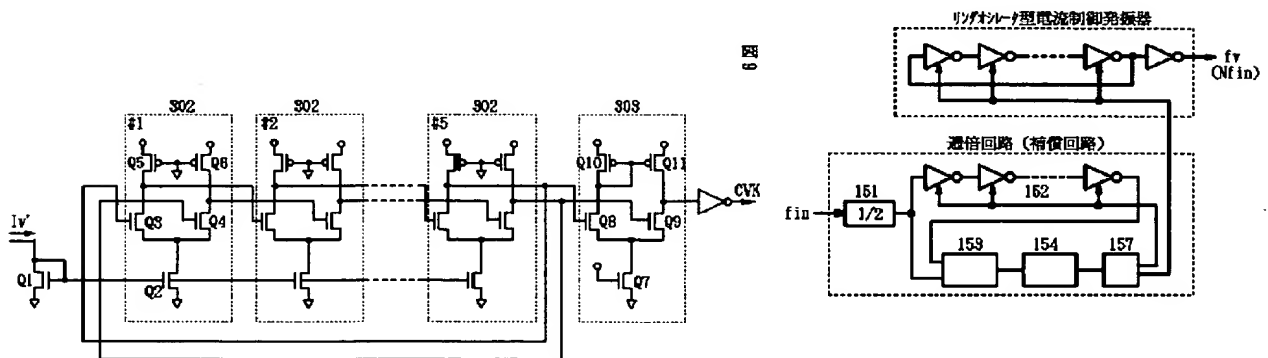
図 8



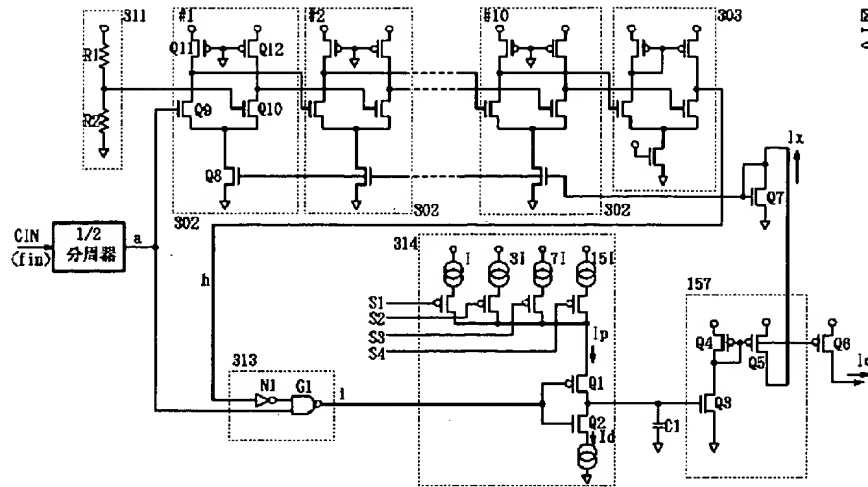
【図 12】

【図 9】

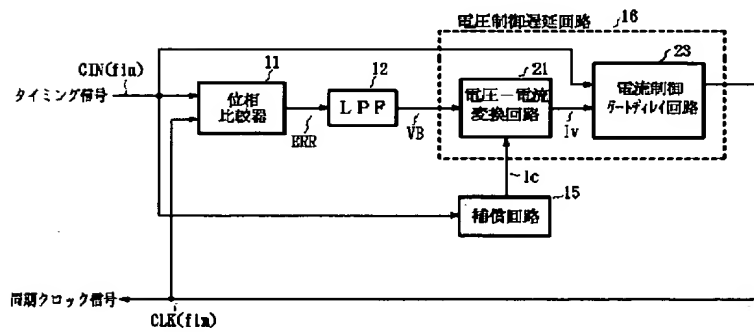
図 12



【図10】



【図13】



【図14】

図14

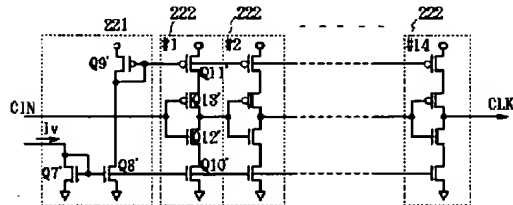
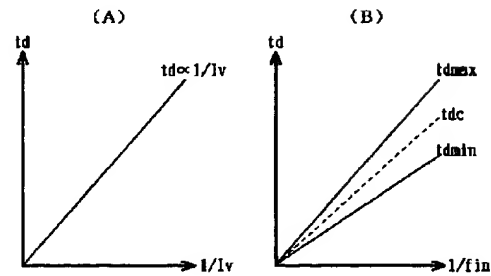


図15



フロントページの続き

(51) Int. Cl. 6

H03L 7/081

7/10

識別記号

庁内整理番号

F I

技術表示箇所



(16)

特開平8-139597

H03L 7/10

D